DEVICE AND METHOD FOR MONITORING AND DISCONNECTING **BUS ABNORMALITY**

Patent Number:

JP4219847

Publication date:

1992-08-10

Inventor(s):

MIURA TAKESHI; others: 02

Applicant(s)::

FUJITSU LTD

Requested Patent:

☐ JP4219847

Application Number: JP19900411927 19901220

Priority Number(s):

IPC Classification: G06F13/00; G06F11/30

EC Classification:

Equivalents:

Abstract

PURPOSE: To detect the continuation of bus occupation by a specific unit and disconnect a faulty unit by a processor where many units having bus control right are connected to one bus. CONSTITUTION: Each unit which outputs a bus request to a bus control unit 3 from a bus switching circuit 4 and occupies the common bus 2 corresponding to a bus occupation permission signal sent back from a bus priority decision circuit 6 is provided with a bus busy state monitor circuit 5 and the bus request signal is cut off after a constant time from the output of the bus busy state signal is clocked to stop the bus busy state signal. Further, the bus control unit is provided with a bus control decision circuit 7 to latch the bus occupation permission signal, provided with a bus monitor circuit 8 to clock the constant time after the generation of the bus busy state signal, and also provided with a bus request gate circuit 9 to cut off the input of the bus request signal corresponding to the latched bus occupation permission signal after the constant time is counted.

Data supplied from the esp@cenet database - 12

(19) []本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平4-219847

(43)公開日 平成4年(1992)8月10日

(51) Int.Cl.⁵

識別記号

庁内整理番号

ΓI

技術表示箇所

G06F 13/00

301 B 7368-5B

11/30

320 B 7165-5B

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号

特願平2-411927

(22)出願日

平成2年(1990)12月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 三浦 剛

神奈川県川崎市中原区上小田中1015番地

宫上通株式会社内

(72)発明者 滝沢 洋

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 神田 真

神奈川県川崎市中原区上小田中1015番地

And the second second

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

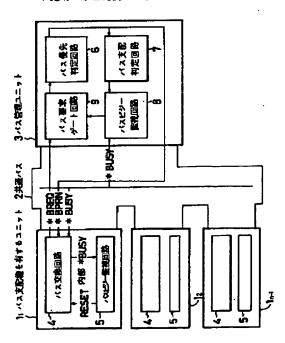
(54) 【発明の名称】 バス異常監視・切断装置および方法

(57) 【要約】

【目的】パスの異常監視と切断を行う装置および方法に)関し、一つのパスに多数のパス支配権を有するユニット が接続された処理装置において、特定ユニットのバス占 有継続を検出し、故障ユニットの引き外しを行うことを 目的とする。

【構成】パス要求発生時、パス交換回路4からパス管理ユニット3にパス要求信号を出力し、パス優先判定回路6から返送されたパス占有許可信号に応じて共通パス2を占有する各ユニットにおいて、パスピジー監視回路5を設けて、パスピジー信号の出力から一定時間計数時、パス要求信号を遮断しパスピジー信号を停止する。またパス管理ユニットにおいて、パス支配判定回路7を設けてパス占有許可信号をラッチし、パスピジー監視回路8を設けてパスピジー信号の発生から一定時間を計数し、パス要求ゲート回路9を設けて計数終了時、ラッチされたパス占有許可信号に対応するパス要求信号の入力を遮断するように構成する。

本発明の原理的構成を示す図



1

【特許請求の範囲】

【節求項1】 一つの共通パス(2)に複数のバス支配権を有するユニット(1, 1, 1, …, 1 ,)が接続され、各ユニットにおいてバス要求が発生したとき、バス交換回路(4)からバス管理ユニット(3)に対してバス要求信号を出力し、パス管理ユニット(3)においてバス優先判定回路(6)で各パス要求信号の信号優先順位を判定して発生したバス占有許可信号に応じてバスを占有するとともに、バスビジー信号を発生してバス占有状態を他のユニットに通知する処理装置において、各パス支配権を有するユニットに、バスビジー信号の出力から一定時間を計数して該計数の終了時バス交換回路(4)からの前記バス要求信号の出力を遮断するとともにバスビジー信号を停止するバスビジー監視回路(5)を設けたことを特徴とするバス異常監視・切断装置。

【請求項2】 一つの共通パス(2)に複数のパス支配 権を有するユニット(11.12.…, 1 1)が接続さ れ、各ユニットにおいてバス要求が発生したとき、バス 交換回路(4)からパス管理ユニット(3)に対してパ ス要求信号を出力し、バス管理ユニット(3)において 20 パス優先判定回路(6)で各パス要求信号の信号優先順 位を判定して発生したパス占有許可信号に応じてパスを 占有するとともに、バスビジー信号を発生してバス占有 状態を他のユニットに通知する処理装置において、パス 管理ユニット(3)において、パス占有許可信号をラッ チするパス支配判定回路(7)と、パスビジー信号の発 生から一定時間を計数するパスピジー監視回路(8) と、該パスピジー監視回路(8)の計数終了時、前記パ ス支配判定回路(7)にラッチされたパス占有許可信号 に対応するバス要求信号の入力を遮断するバス要求ゲー 30 ト回路(9)とを設けたことを特徴とするパス異常監視 ・切断装置。

【欝求項3】 一つの共通パス(2)に複数のパス支配 権を有するユニット (1₁, 1₂, …, 1 ₁) が接続さ れ、各ユニットにおいてパス要求が発生したとき、パス 交換回路(4)からパス管理ユニット(3)に対してパ ス要求信号を出力し、パス管理ユニット(3)において バス優先判定回路 (6) で各パス要求信号の信号優先順 位を判定して発生したパス占有許可信号に応じてパスを 占有するとともに、バスピジー信号を発生してバス占有 状態を他のユニットに通知する処理装置において、各パ ス支配権を有するユニットにおいて、バスビジー信号の 出力から一定時間を計数して該計数の終了時パス交換回 路(4)からの前記パス要求信号の出力を遮断し、パス 管理ユニット (3) において、パス占有許可信号をラッ チするとともに、パスピジー信号の発生から一定時間を 計数し、該計数終了時、前記ラッチされたバス占有許可 信号に対応するパス要求信号の入力を遮断するようにし たことを特徴とするパス異常監視・切断方法。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明はバスの異常監視と、切断を行う装置および方法に関し、特に監視・制御系コンピュータシステムにおいてユニットがバスを占有したまま故障した場合に、バス異常監視・異常引き外しを行うためのバス異常監視・切断装置および方法に関するものである。

2

)

【0002】近年においては、制御コンピュータシステムは、処理の高度化とノンストップ化とが要求されている。処理の高度化に伴い、複数のCPU(中央処理装置)によってシステムが構築されるようになるとともに、CPUの負荷軽減のために、インテリジェントに動作するIOユニットを多数使用するシステムが増加している。これらのユニットは、一つのパスによって接続される構成が一般的であるが、ユニットの故障モードによっては、パスを占有したままになってしまい、一つのユニット故障によって、全システムをダウンさせる事態になる場合がある。

【0003】そこで、一つのパスに多数のユニットが接続される処理装置において、一部のユニットの故障の影響が全体のシステムに波及しないようにすることが要望される。

[0004]

【従来の技術】従来のシステムにおいては、一つのバスに対して、バス支配権を有するユニット (バスマスタ) が多数接続されることはなかった。そのため、前述の故障モードに対応する、ユニットの引き外し機能は考慮されていなかった。また、システムの規模が小さいため、故障しても大きな問題になることはなかった。

[0005]

【発明が解決しようとする課題】しかしながら、近年のシステムではパスマスタ数が増大するとともに、1システムでも複数機能を持った装置が構成されるようになり、前述の故障を回避することが要求されるようになった。

【0006】本発明はこのような従来技術の課題を解決しようとするものであって、一つのパスに多数のパス支配権を有するユニットが接続される処理装置において、特定ユニットがパスを占有したままになっていることを検出し、故障ユニットの引き外しを行うことができるようにしたパス異常監視・切断方式を提供することを目的としている。

[0007]

【課題を解決するための手段】本発明は、一つの共通パスに複数のパス支配権を有するユニットが接続され、各ユニットにおいてパス要求が発生したとき、パス交換回路からパス管理ユニットに対してパス要求信号を出力し、パス管理ユニットにおいてパス優先判定回路で各パス要求信号の信号優先順位を判定して発生したパス占有50 許可信号に応じてパスを占有するとともに、パスピジー

信号を発生してバス占有状態を他のユニットに通知する処理装置において、各バス支配権を有するユニットに、バスビジー信号の山力から一定時間を計数して該計数の終了時バス交換回路からの前記バス要求信号の出力を遮断するとともにバスビジー信号を停止するバスビジー監視回路を設けたことを特徴とするものである。またこの場合、バス管理ユニットにおいて、バス占有許可信号をラッチするバス支配判定回路と、バスビジー信号の発生から一定時間を計数するバスビジー監視回路と、該バスビジー監視回路の計数終了時、前記バス支配判定回路に 10ラッチされたバス占有許可信号に対応するバス要求信号の入力を遮断するバス要求ゲート回路とを設けたことを特徴とするものである。

[0008]

【作用】図1は、本発明の原理的構成を示したものであって、1:12:…,1 」はバス支配権を有するユニット、2 は共通バス、3 は共通バスの管理を行うバス管理ユニットである。バス支配権を有するユニット1:12:…,1 において、4は共通パスの支配、解放を制御するバス交換回路、5はバスビジーを時間監視するバス 20ビジー監視回路である。またパス管理ユニット3において、6はバス支配権を有するユニットからのバス要求信号*BREQに応じて、優先順位を判断して、バス支配権を有するユニットに対してバス占有許可信号*BPRNを出力するバス優先判定回路である。7はバス支配状態の継続を判定するバス支配判定回路である。8はバスビジーを時間監視するバスピジー監視回路である。9はバス優先判定回路6に対するバス要求信号*BREQの入力をゲートするバス要求ゲート回路である。

【0009】パス支配権を有するユニット1:.1:.…. 1 は、パス要求信号*BREQによって、パス占有 要求をパス管理ユニット3に通知し、パス管理ユニット 3からのパス占有許可信号*BPRNによってパス支配 権を与えられ、パス使用中は、パスピジー信号*BUS Yを出力することによって、パス占有状態を保持する。

【0011】パス管理ユニット3においては、バス支配 判定回路7は特定のパス支配権を有するユニットから、 パス要求信号*BREQを出力し続けられていることを 判別する。このとき、パスピジー監視回路8でパスピジ ー信号*BUSYが一定時間以上継続していることを検 50 出すると、バス要求ゲート回路9を制御してバス要求信号*BREQの入力を阻止する。これによって、バス要求し続ける特定のバス支配権を有するユニットに対するパス占有許可信号*BPRNがオフになって、この特定ユニットによるバス占有が解除される。なおこの場合、パス支配権を有するユニットがバス要求信号*BREQをある時間以上出力し続けるのは、パス支配権を有するユニットが障害の場合に限られ、通常は、複数のバス要求が発生した場合でも、バス要求信号*BREQが出力され続けることがないように、システム上考慮されている。

)

[0012]

【実施例】図2は、木発明の一実施例のバス支配権を有するユニットの構成を示す図であって、図1におけると同じ機能を有する部分を同じ番号で示し、パス交換回路4において、41、42、43 はフリップフロップ(FF)、44、45 はゲートである。また21はバスビジー線、22 はバスクロック線である。

【0014】ユニット1:においてユニット内バス要求が発生すると、バス交換回路4において、バスクロック線2:から与えられるクロック信号*BCLKに応じて、FF4:4:を経てバス要求信号*BREQ0が発生して、バス管理ユニット3へ送られる。バスビジー監視回路5は最初、リセット状態になっている。このときFF4:はQ端子に"L"を出力しているので、バスビジー信号*BUSYは不使用を示す"H"の状態である。

【0015】ユニット1:からのパス要求信号*BREQに対して、パス管理ユニット3における優先順位判定結果、パス占有許可信号*BPRN0が戻ってきたとき、他のすべてのユニットからのパスピジー信号*BUSYが不使用を示す"H"の状態になっていることを条件に、ユニット1:は共通パス2の使用権を獲得する。このとき、ゲート4:から出力が発生してFF4:のQ出力が"H"に保持され、パスピジー信号*BUSYが使用を示す"L"の状態となる。

【0016】ユニット内パス要求が消滅すると、ゲート 4: から与えられるセット信号Sが"L"になるのでF F4: は保持を解除されて、パスピジー信号*BUSY は不使用を示す"H"の状態になる。

【0017】パスピジー監視回路5において、タイマ5

1 はFF4s のQ出力が "II" になったとき計数を開始 し、所定時間を経過したときタイムアウト信号を発生し てFF41 をリセットする。これによって、障害等によ ってユニット11 が共通パス2を占有し続けることが防 止される。タイマ5」の所定時間内にバス占有状態が解 消してFF4。の保持が解かれたときは、タイマ51 は リセット状態に戻り、パス交換回路4に対しては、何の 作用も行わない。

【0018】図3は、本発明の一実施例のバス管理ユニ ットの構成を示す図であって、図1におけると同じ機能 10 を有する部分を同じ番号で示し、バス優先判定回路6に おいて、6: はプライオリティ・エンコーダ、6: はデ コーダである。バス支配判定回路?において、?」はラ ッチ回路である。パスビジー監視回路8において、8: はクロック発生器、82 はカウンタである。また、パス 要求ゲート回路9において、910、911、…, 91 はフ リップフロップ (FF) 、920, 921, ···, 92 はゲー トである。

【0019】パス要求ゲート回路9において、各FFは 初期状態においてリセット状態にあって"H"を出力し 20 ムダウンの発生を防止することができるようになる。 ているので、パス要求信号が発生すると、対応するゲー ****・トを経て出力が発生し、パス優先判定回路6に人力され る。バス優先判定回路6において、プライオリティ・エ - ンコーダ6. はパス要求の優先順位に応じて出力を発生 し、デコーダ62 はこの出力をデコードしてパス要求信 号に対応するバス占有許可信号を発生する。

【0020】パス支配判定回路7において、ラッチ回路 7. はパス占有許可信号をパスピジー信号*BUSYの ・立ち下がりでラッチすることによって、バス交換ごとに 保持する。バスピジー監視回路8において、カウンタ8 30 *はパスピジー信号*BUSYの立ち下がりでリセット され、クロック発生器8,のクロックをカウントするこ) とによって、パス占有許可状態が一定時間以上継続した とき、タイムアウト信号を発生する。

【0021】パス要求ゲート同路9において、パス要求 に対応するFFは、ラッチ回路 7」 にラッチされたパス 占有許可信号によって、カウンタ82のカウントアップ 時 "L" の出力を発生し、これによってゲートからの出 力がオフとなる。従ってパス優先判定回路6からの対応 するパス占有許可信号もオフになるので、障害発生によ って、バスを占有し続けたユニットは、バス占有を解除 される。

【0022】図2に示されたパス支配権を有するユニッ トにおける、一定時間以上のパス占有時のその特定ユニ ットのパスからの引き外しと、図3に示されたパス管理 ユニットにおける、一定時間以上のバス占有時のその特 定ユニットのバスからの引き外しとは、それぞれ独立に 行われるので、両者による保護を併用して行う事も可能 である。

[002.3]

【発明の効果】以上説明したように本発明によれば、一 つのパスに対して、バス支配権を有するユニット(バス マスタ)が多数接続される処理装置において、特定ユニ ットがバスを占有したままになっていることを検出し、 故障ユニットの引き外しを行うことができるようにした ので、バス支配権を有するユニットの異常によるシステ

【図面の簡単な説明】

「【図1】本発明の原理的構成を示す図である。

【図2】本発明の一実施例のパス支配権を有するユニッ トの構成を示す図である。

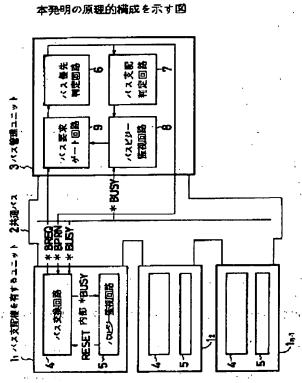
【図3】本発明の一実施例のパス管理ユニットの構成を 示す図である。

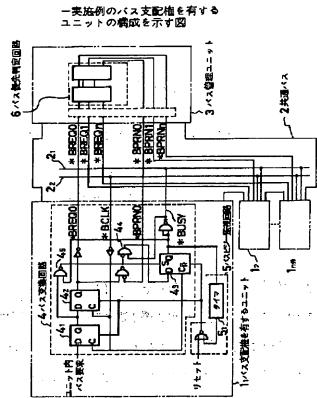
【符号の説明】

- 11.12.…, 1 1 パス支配権を有するユニット
- 2 共通パス・
- 3 バス管理ユニット
- 4 パス交換回路
- 5 パスピジー監視回路
- 6 パス優先判定回路
- 7 パス支配判定回路 8 パスピジー監視回路
- 9 パス要求ゲート回路

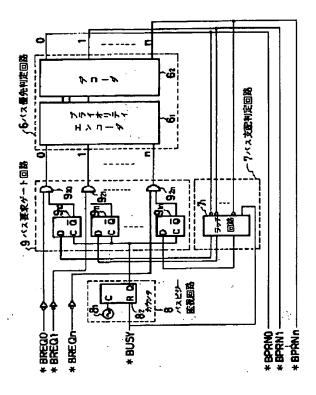
【図1】

[図2]





【図3】 - 実施例のバス管理ユニットの構成を示す図



) .

)

-376-